

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号  
特開2002-94182  
(P2002-94182A)

(43)公開日 平成14年3月29日(2002.3.29)

(51)Int.Cl.<sup>7</sup>

H 0 1 S 5/223

識別記号

F I

H 0 1 S 5/223

テーマコード\*(参考)

5 F 0 7 3

審査請求 未請求 請求項の数8 O L (全 8 頁)

(21)出願番号 特願2000-275565(P2000-275565)

(22)出願日 平成12年9月11日(2000.9.11)

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72)発明者 長崎 洋樹

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(74)代理人 100094053

弁理士 佐藤 隆久

Fターム(参考) 5F073 AA26 AA55 AA74 BA04 CA14

CB02 CB10 CB22 DA05 DA22

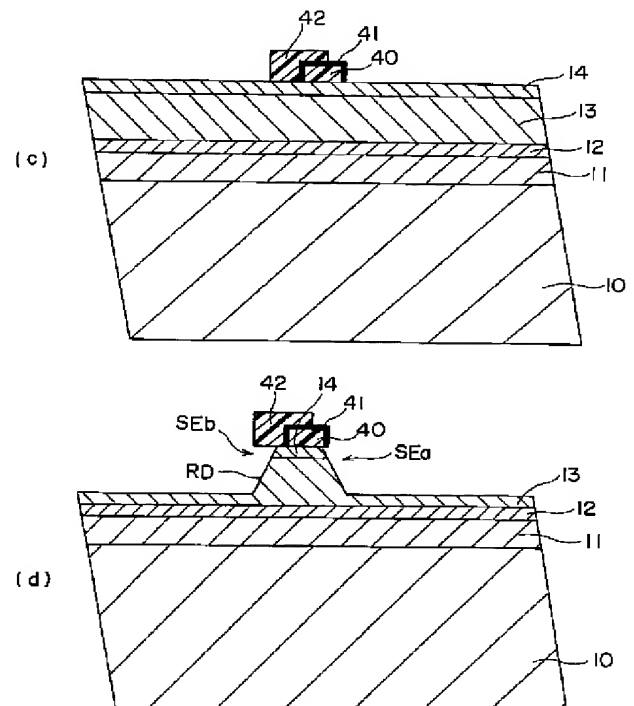
EA16

(54)【発明の名称】 半導体レーザの製造方法

(57)【要約】

【課題】オフ基板を用いた場合にリッジの形状を左右対称とできるなど、リッジ形状を制御して製造できる半導体レーザの製造方法を提供する。

【解決手段】基板10に、少なくとも活性層12と、活性層の上層および下層にそれぞれ配置された第1導電型のクラッド層11および第2導電型のクラッド層13を有する半導体積層体を形成する。次に、半導体積層体の上層において、電流注入領域の一部を保護するように第1マスク層40を形成し、次に、部分的に上記第1マスク層と重なるように、電流注入領域の残部を保護し、下層となる上記半導体積層体に対する密着性を異ならせるなど、保護特性を第1マスク層と異ならせて第2マスク層42を形成する。次に、第1および第2マスク層(40, 42)をマスクとしてエッチングを行い、半導体積層体の電流注入領域をリッジ形状RDに加工する。



## 【特許請求の範囲】

【請求項1】基板に、少なくとも活性層と、該活性層の上層および下層にそれぞれ配置された第1導電型のクラッド層および第2導電型のクラッド層を有する半導体積層体を形成する工程と、

上記半導体積層体の上層において、電流注入領域の一部を保護するように第1マスク層を形成する工程と、

上記半導体積層体の上層において、部分的に上記第1マスク層と重なるように、電流注入領域の残部を保護し、

下層となる上記半導体積層体に対する保護特性を上記第1マスク層と異ならせて第2マスク層を形成する工程と、

上記第1および第2マスク層をマスクとしてエッチングを行い、上記半導体積層体の電流注入領域をリッジ形状に加工する工程とを有する半導体レーザの製造方法。

【請求項2】上記第2マスク層を形成する工程においては、上記半導体積層体への密着性を変えることで、上記半導体積層体に対する保護特性を上記第1マスク層と異ならせて形成する請求項1に記載の半導体レーザの製造方法。

【請求項3】上記第1マスク層を形成する工程においては、第1レジスト膜をパターン形成し、第1の処理温度のベーキング処理を行って上記第1マスク層とし、

上記第2マスク層を形成する工程においては、第2レジスト膜をパターン形成し、上記第1の処理温度よりも低い第2の処理温度でベーキング処理を行って上記第2マスク層とする請求項1に記載の半導体レーザの製造方法。

【請求項4】上記第1レジスト膜をパターン形成し、ベーキング処理を行って第1マスク層とした後、上記第2マスク層を形成する工程の前に、上記第1マスク層の表層部を硬化処理する工程をさらに有する請求項3に記載の半導体レーザの製造方法。

【請求項5】上記基板として、(100)面から〔110〕方向に傾斜したオフ基板を用いる請求項1に記載の半導体レーザの製造方法。

【請求項6】上記半導体積層体の電流注入領域をリッジ形状に加工する工程においては、上記リッジの延伸方向に垂直な断面における該リッジの形状を左右対称となるように形成する請求項5記載の半導体レーザの製造方法。

【請求項7】上記半導体積層体を形成する工程においては、AlGaInP系材料により形成する請求項1に記載の半導体レーザの製造方法。

【請求項8】上記半導体積層体の電流注入領域をリッジ形状に加工する工程に後に、上記リッジ形状部の側部に電流ブロック層を形成する工程をさらに有する請求項1に記載の半導体レーザの製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、光ディスク装置、

光磁気ディスクメモリ、レーザビームプリンタなどの光情報機器や光通信になど使用される半導体レーザの製造方法に係り、特に基板としてオフ基板を用いた半導体レーザの製造方法に関する。

## 【0002】

【従来の技術】一般に、CD（コンパクトディスク）、DVD（デジタル多用途ディスク）あるいはMD（ミニディスク）などの光（磁気）ディスク装置における光学ピックアップ装置や、レーザビームプリンタ、光情報機器などには半導体レーザが内蔵されている。

【0003】上記の半導体レーザは、用途により異なる発振波長のレーザ光を用いられており、例えばDVDの再生などには650nm帯の波長のレーザ光が用いられ、この650nm帯の半導体レーザとして、例えばAlGaInP系材料の半導体積層体からなる半導体レーザが広く用いられている。

【0004】図6は上記のAlGaInP系材料からなる半導体レーザの断面図である。例えばGaAsからなるn型基板10上に、不図示のGaAsからなるn型バッファ層やInGaPからなるn型バッファ層が形成されており、その上層に、例えばAlGaInPからなるn型クラッド層11、活性層（発振波長650nmの多重量子井戸構造）12、例えばAlGaInPからなるp型クラッド層13、および、例えばGaAsからなるp型キャップ層14が形成されている。電流注入ストライプにおいて、上記のp型キャップ層14の表面からp型クラッド層13の途中の深さまでリッジ状（凸状）RDに加工されており、電流狭持構造となるストライプが形成されている。リッジRDの両側部には、例えばGaAsからなるn型電流ブロック層15が形成されている。

【0005】上記のp型キャップ層14およびn型基板10には、それぞれp電極20およびn電極30が接続して形成されている。上記のp電極20およびn電極30に所定の電圧を印加することで、リッジストライプ領域における上記活性層の端面が共振器の端面となって、該共振器端面間に導波路が構成され、リッジストライプ領域における活性層12から、例えば650nm帯の波長のレーザ光が射出される。

【0006】上記の構造の半導体レーザは、CDやDVDなど光ディスクシステムの光学ピックアップ装置などの光源として、あるいは、レーザビームプリンタなどの光情報機器や光通信になど使用される半導体レーザとして好ましく用いることができる。

【0007】上記のn型基板10としては、(100)面から〔110〕方向に2°以上15°以下で傾斜したオフ基板が用いられることが多い。自然超格子による長波長化を防止するためである。

【0008】上記の半導体レーザの製造方法について説明する。まず、図7(a)に示すように、例えばGaA

sからなり、(100)面から〔110〕方向に2°以上15°以下で傾斜したオフ基板であるn型基板10上に、例えば有機金属気相エピタキシャル成長法(MOVPE)などのエピタキシャル成長法により、必要に応じてGaAsやInGaPからなるn型バッファ層(不図示)を形成した後、例えばAlGaInPからなるn型クラッド層11、活性層(発振波長650nmの多重量子井戸構造)12、例えばAlGaInPからなるp型クラッド層13、例えばGaAsからなるp型キャップ層14を順に積層させる。

【0009】次に、図7(b)に示すように、フォトリソグラフィ工程により、電流注入ストライプ領域となる部分を保護するレジスト膜40をp型キャップ層14の上層にパターン形成し、ウェットエッチングを行い、p型キャップ層14の表面からp型クラッド層13の途中の深さまでリッジ状(凸状)RDに加工する。

【0010】次に、予めp型キャップ層14上に形成した酸化シリコンのマスクパターン(不図示)を選択成長のマスクとする選択エピタキシャル成長などにより、例えばGaAsからなるn型電流ブロック層15を形成する。次に、p型キャップ層14に接続するようにTi/Pt/Auなどのp型電極を形成し、一方、n型基板10に接続するようにAuGe/Ni/Auなどのn型電極を形成し、ペレタイズ工程を経て、図6に示すような半導体レーザとする。

【0011】

【発明が解決しようとする課題】しかしながら、上記の従来の半導体レーザは、(100)面から〔110〕方向に傾斜したオフ基板を用いた場合、図6に示すように、リッジの延伸方向に垂直な断面において、オフ基板の傾斜角によってリッジの形状が左右非対称となっており、このように左右非対称な形状によって、注入される電流の分布と屈折率導波による光の分布に差が生じ、キンクが出現する光出力、即ち、キンクレベルが低くなってしまふ。上記のオフ基板の傾斜角によってリッジの形状が左右非対称となってしまうのは、図7(b)に示すように、オフ基板の被エッチング特性のために、レジスト膜によるマスク層の下層へ一方から入り込むサイドエッチングSEaと他方から入り込むサイドエッチングSEbの程度が異なるためである。従って、電流狭搾構造としてリッジストライプを有する半導体レーザの製造方法において、リッジの延伸方向に垂直な断面におけるリッジ形状を制御して製造できる方法が求められていた。

【0012】本発明は上記の事情に鑑みてなされたものであり、従って、本発明の目的は、オフ基板を用いた場合にもリッジの延伸方向に垂直な断面におけるリッジの形状を左右対称とできるなど、リッジ形状を制御して製造できる半導体レーザの製造方法を提供することである。

【0013】

【課題を解決するための手段】上記の目的を達成するため、本発明の半導体レーザの製造方法は、基板に、少なくとも活性層と、該活性層の上層および下層にそれぞれ配置された第1導電型のクラッド層および第2導電型のクラッド層を有する半導体積層体を形成する工程と、上記半導体積層体の上層において、電流注入領域の一部を保護するように第1マスク層を形成する工程と、上記半導体積層体の上層において、部分的に上記第1マスク層と重なるように、電流注入領域の残部を保護し、下層となる上記半導体積層体に対する保護特性を上記第1マスク層と異ならせて第2マスク層を形成する工程と、上記第1および第2マスク層をマスクとしてエッチングを行い、上記半導体積層体の電流注入領域をリッジ形状に加工する工程とを有する。

【0014】上記の本発明の半導体レーザの製造方法は、好適には、上記第2マスク層を形成する工程においては、上記半導体積層体への密着性を変えることで、上記半導体積層体に対する保護特性を上記第1マスク層と異ならせて形成する。

【0015】上記の本発明の半導体レーザの製造方法は、好適には、上記第1マスク層を形成する工程においては、第1レジスト膜をパターン形成し、第1の処理温度のベーキング処理を行って上記第1マスク層とし、上記第2マスク層を形成する工程においては、第2レジスト膜をパターン形成し、上記第1の処理温度よりも低い第2の処理温度でベーキング処理を行って上記第2マスク層とする。さらに好適には、上記第1レジスト膜をパターン形成し、ベーキング処理を行って第1マスク層とした後、上記第2マスク層を形成する工程の前に、上記第1マスク層の表層部を硬化処理する工程をさらに有する。

【0016】上記の本発明の半導体レーザの製造方法は、好適には、上記基板として、(100)面から〔110〕方向に傾斜したオフ基板を用い、さらに好適には、上記半導体積層体の電流注入領域をリッジ形状に加工する工程においては、上記リッジの延伸方向に垂直な断面における該リッジの形状を左右対称となるように形成する。

【0017】上記の本発明の半導体レーザの製造方法は、好適には、上記半導体積層体を形成する工程においては、AlGaInP系材料により形成する。

【0018】上記の本発明の半導体レーザの製造方法は、好適には、上記半導体積層体の電流注入領域をリッジ形状に加工する工程に後に、上記リッジ形状部の側部に電流ブロック層を形成する工程をさらに有する。

【0019】上記の本発明の半導体レーザの製造方法は、基板に、少なくとも活性層と、該活性層の上層および下層にそれぞれ配置された第1導電型のクラッド層および第2導電型のクラッド層を有し、AlGaInP系材料などからなる半導体積層体を形成する。次に、半導

体積層体の上層において、電流注入領域の一部を保護するように第1マスク層を形成し、次に、第1マスク層の隣接部に、電流注入領域の残部を保護し、下層となる上記半導体積層体に対する保護特性を第1マスク層と異ならせて第2マスク層を形成する。ここで、例えば、第1レジスト膜をパターン形成し、第1の処理温度でベーキング処理を行って第1マスク層とし、得られた第1マスク層の表層部を硬化処理した後、次に、第2レジスト膜をパターン形成し、第1の処理温度よりも低い第2の処理温度でベーキング処理を行って上記第2マスク層とするなど、第2マスク層の半導体積層体への密着性を上記第1マスク層と変えることで、半導体積層体に対する保護特性を上記第1マスク層と異ならせて形成する。次に、第1および第2マスク層をマスクとしてエッチングを行い、半導体積層の電流注入領域をリッジ形状に加工する。この後の工程としては、例えば、リッジ形状部の側部に電流ブロック層などを形成する。

【0020】上記の本発明の半導体レーザの製造方法によれば、電流狭搾構造としてリッジストライプを有する半導体レーザの製造方法において、リッジストライプ形成マスクとなる第1マスク層と第2マスク層において、第2マスク層の半導体積層体への密着性を第1マスク層と変えることで保護特性を変えており、これによりリッジ形状を制御して製造できる。例えば、基板として(100)面から〔110〕方向に傾斜したオフ基板を用いた場合にも、リッジの延伸方向に垂直な断面における該リッジの形状を左右対称となるように形成できる。リッジの形状を左右対称とすることで、注入される電流の分布と屈折率導波による光の分布を均一にして導波を安定化させることができ、キンクが出現する光出力、即ち、キンクレベルの低下の防止や、長期信頼性の向上が可能となる。また、基板として(100)面から〔110〕方向に傾斜したオフ基板を用いた場合に、リッジの形状を従来の方法により形成される非対称性と逆の方向の非対称性を持つ形状などに加工することもでき、あるいは傾斜していない基板を用いた場合にも非対称なリッジを加工することができ、例えば自励発振レーザなどの設計時においてリッジ形状を制御することが必要な場合に有効である。

#### 【0021】

【発明の実施の形態】以下、本発明の半導体レーザおよびその製造方法の実施の形態について、図面を参照して説明する。

#### 【0022】第1実施形態

図1は、本実施形態に係る半導体レーザの断面図である。例えばGaAsからなるn型基板10上に、不図示のGaAsからなるn型バッファ層やInGaPからなるn型バッファ層が形成されており、その上層に、例えばAlGaInPからなるn型クラッド層11、活性層(発振波長650nmの多重量子井戸構造)12、例え

ばAlGaInPからなるp型クラッド層13、および、例えばGaAsからなるp型キャップ層14が形成されている。電流注入ストライプにおいて、上記のp型キャップ層14の表面からp型クラッド層13の途中の深さまでリッジ状(凸状)RDに加工されており、電流狭搾構造となるストライプが形成されている。リッジRDの両側部には、例えばGaAsからなるn型電流ブロック層15が形成されている。

【0023】上記のp型キャップ層14およびn型基板10には、それぞれp電極20およびn電極30が接続して形成されている。上記のp電極20およびn電極30に所定の電圧を印加することで、リッジストライプ領域における上記活性層の端面が共振器の端面となって、該共振器端面間に導波路が構成され、リッジストライプ領域における活性層12から、例えば650nm帯の波長のレーザ光が射出される。

【0024】上記の構造の半導体レーザは、CDやDVDなど光ディスクシステムの光学ピックアップ装置などの光源として、あるいは、レーザビームプリンタなどの光情報機器や光通信になど使用される半導体レーザとして好ましく用いることができる。

【0025】上記のn型基板10としては、自然超格子による長波長化を防止するため、例えば(100)面から〔110〕方向に2°以上15°以下で傾斜したオフ基板が用いられる。

【0026】本実施形態に係る半導体レーザは、上記のようにオフ基板を用いていても、リッジの延伸方向に垂直な断面における該リッジの形状が左右対称となっている。従って、自然超格子による長波長化を防止しながら、注入される電流の分布と屈折率導波による光の分布が均一化されて導波が安定化され、キンクが出現する光出力、即ち、キンクレベルの低下が防止され、長期信頼性を向上した半導体レーザである。

【0027】上記の半導体レーザの製造方法について説明する。まず、図2(a)に示すように、例えばGaAsからなり、(100)面から〔110〕方向に2°以上15°以下で傾斜したオフ基板であるn型基板10上に、例えば有機金属気相エピタキシャル成長法(MOVPE)などのエピタキシャル成長法により、必要に応じてGaAsやInGaPからなるn型バッファ層(不図示)を形成した後、例えばAlGaInPからなるn型クラッド層11、活性層(発振波長650nmの多重量子井戸構造)12、例えばAlGaInPからなるp型クラッド層13、例えばGaAsからなるp型キャップ層14を順に積層させる。

【0028】次に、図2(b)に示すように、フォトリソグラフィ工程により、電流注入ストライプ領域となる部分の一部を保護する第1レジスト膜40をp型キャップ層14の上層にパターン形成する。ここで、上記の第1レジスト膜40としては、例えば最終的に形成する

電流注入ストライプ領域の幅が $3\mu\text{m}$ である場合、 $2.5\mu\text{m}$ 幅のレジスト膜をパターン形成し、必要なストライプ幅よりも細くなるように形成する。次に、例えばベーキング炉にて $120^\circ\text{C}$ の温度で30分間の熱処理を施し、第1レジスト膜40の半導体積層体（p型キャップ層14）への密着性を高める。

【0029】次に、図2（b）に示すように、例えば $\text{CF}_4$ などのガスを導入したプラズマアッシングなどにより、第1レジスト膜40の表層部41を硬化処理し、次工程での現像処理などで溶出しないようにする。

【0030】次に、図3（c）に示すように、フォトリソグラフィ工程により、部分的に第1レジスト膜40と重なるように、電流注入ストライプ領域の残部を保護する第2レジスト膜42をパターン形成する。ここで、上記の第2レジスト膜42としては、例えば第1レジスト膜により電流注入ストライプ領域の幅 $3\mu\text{m}$ の内の $2.5\mu\text{m}$ 分を保護する場合には、第2レジスト膜で残りの $0.5\mu\text{m}$ の幅の部分の部分を保護するように、第1レジスト膜40と重なるようにして形成する。次に、例えばベーキング炉にて $90^\circ\text{C}$ の温度で30分間の熱処理を施し、第2レジスト膜42の半導体積層体（p型キャップ層14）への密着性を高める。このときのベーキング処理温度を第1レジスト膜40のベーキング処理温度（ $120^\circ\text{C}$ ）より低く設定することで、第2レジスト膜42の半導体積層体（p型キャップ層14）への密着力を第1レジスト膜40よりも低く調整し、第1レジスト膜40と第2レジスト膜42とで下層となる上記半導体積層体に対する保護特性を異ならせて形成する。

【0031】次に、図3（d）に示すように、第1レジスト膜40および第2レジスト膜42をマスクとしてウェットエッチングを行い、p型キャップ層14の表面からp型クラッド層13の途中の深さまでリッジ状（凸状）RDに加工する。ここで、第1レジスト膜40と第2レジスト膜42では、上記のように半導体積層体（p型キャップ層14）への密着性が異なっていることから、第1レジスト膜40側から第1レジスト膜40の下層へ入り込むサイドエッチングSEaと第2レジスト膜42側から第2レジスト膜42の下層へ入り込むサイドエッチングSEbの程度が異なっており、このサイドエッチングの程度の差と、オフ基板の被エッチング特性とが相殺されて、リッジの延伸方向に垂直な断面における該リッジの形状が左右対称となるように加工される。

【0032】上記の第1レジスト膜40と第2レジスト膜42の形成工程においては、次工程のエッチング処理において、レジスト膜によるマスク層の下層へのサイドエッチングが生じるため、その分を見積もってパターン形成する幅を決定する必要がある。さらに、第1レジスト膜40と第2レジスト膜42では、上記のように半導体積層体（p型キャップ層14）への密着性が異なっており、第1レジスト膜40側からと第2レジスト膜42

側からのサイドエッチングの量が異なるため、その差を見積もって第1レジスト膜40と第2レジスト膜42のパターン形成幅を決める必要がある。

【0033】この後の工程としては、例えば、リッジ形状部の側部に電流ブロック層15などを形成し、次に、p型キャップ層14に接続するように $\text{Ti/Pt/Au}$ などのp型電極を形成し、一方、n型基板10に接続するように $\text{AuGe/Ni/Au}$ などのn型電極を形成し、ペレタイズ工程を経て、図1に示すような半導体レーザとする。

【0034】上記の本実施形態の半導体レーザの製造方法によれば、基板として（100）面から〔110〕方向に傾斜したオフ基板を用いた場合にも、リッジの延伸方向に垂直な断面における該リッジの形状を左右対称となるように形成できる。リッジの形状を左右対称とすることで、注入される電流の分布と屈折率導波による光の分布を均一にして導波を安定化させることができ、キンクが出現する光出力、即ち、キンクレベルの低下の防止や、長期信頼性の向上が可能となる。上記のように、本実施形態の半導体レーザの製造方法により、電流狭搾構造としてリッジストライプを有する半導体レーザの製造方法において、リッジ形状を制御して製造できる。

#### 【0035】第2実施形態

図4は、本実施形態に係る半導体レーザの断面図である。実質的に第1実施形態の半導体レーザと同様であるが、第1実施形態と同様にn型基板10として、例えば（100）面から〔110〕方向に $2^\circ$ 以上 $15^\circ$ 以下で傾斜したオフ基板が用いられており、また、電流狭搾ストライプとなるリッジRDの形状が、リッジの延伸方向に垂直な断面において、従来の方法により形成される非対称性と逆の方向の非対称性を持つ形状となっている。

【0036】上記の本実施形態の半導体レーザは、リッジ形状が制御されて加工されており、例えばリッジ形状を細かく制御する必要がある自励発振レーザなどに好ましく適用することができる。

【0037】上記の半導体レーザの製造方法について説明する。実質的に第1実施形態と同様に形成することができるが、図5に示すように、第1レジスト膜40側からのサイドエッチングSEaと第2レジスト膜42側からのサイドエッチングSEbの量などを調整し、第1レジスト膜40と第2レジスト膜42をマスクとするウェットエッチング処理を制御して行って、電流狭搾ストライプとなるリッジRDの形状がリッジの延伸方向に垂直な断面において、従来の方法により形成される非対称性と逆の方向の非対称性を持つ形状となるように加工する。その他の工程は、第1実施形態と同様に行うことができる。

【0038】上記の本実施形態の半導体レーザの製造方法によれば、リッジ形状を制御して加工することがで

10

20

30

40

50

き、例えばリッジ形状を細かく制御する必要がある自励発振レーザの製造方法に好ましく適用することができる。

【0039】以上、本発明を2形態の実施形態により説明したが、本発明はこれらの実施形態に何ら限定されるものではない。例えば、第2実施形態において、基板として傾斜していない基板を用いてもよい。傾斜していない基板の場合、通常のリッジ加工ではリッジの延伸方向に対して垂直な断面において非対称とはならないが、第2実施形態の製造方法を適用することでリッジの延伸方向に対して垂直な断面において非対称なリッジ形状を得ることができ、リッジ形状を制御して製造することができる。また、上記半導体レーザを構成する半導体材料や金属材料などは、AlGaInP系材料以外の半導体材料系などを適宜選択して用いることができる。また、同一基板上にモノリシックに複数個の半導体レーザが搭載される多波長レーザに適用することも可能であり、例えば、780nm帯のレーザ光を出射する半導体レーザと650nm帯のレーザ光を出射する半導体レーザともモノリシックに搭載する2波長レーザにおいて、650nm帯の半導体レーザ部分の製造方法に上記の実施形態を適用することができる。その他、本発明の要旨を逸脱しない範囲で種々の変更を行うことが可能である。

【0040】

【発明の効果】上記のように、本発明の半導体レーザの製造方法によれば、電流狭搾構造としてリッジストライプを有する半導体レーザの製造方法において、リッジストライプ形成マスクとなる第1マスク層と第2マスク層において、第2マスク層の半導体積層体への密着性を第1マスク層と変えることで保護特性を変えており、これによりリッジ形状を制御して製造できる。例えば、基板として(100)面から[110]方向に傾斜したオフ基板を用いた場合にも、リッジの延伸方向に垂直な断面における該リッジの形状を左右対称となるように形成できる。リッジの形状を左右対称とすることで、注入される電流の分布と屈折率導波による光の分布を均一にして導波を安定化させることができ、キンクが出現する光出

力、即ち、キンクレベルの低下の防止や、長期信頼性の向上が可能となる。また、基板として(100)面から[110]方向に傾斜したオフ基板を用いた場合に、リッジの形状を従来の方法により形成される非対称性と逆の方向の非対称性を持つ形状などに加工することもでき、あるいは傾斜していない基板を用いた場合にも非対称なリッジを加工することができ、例えば自励発振レーザなどの設計時においてリッジ形状を制御することが必要な場合に有効である。

【図面の簡単な説明】

【図1】図1は第1実施形態に係る半導体レーザの断面図である。

【図2】図2は第1実施形態に係る半導体レーザの製造方法の製造工程を示す断面図であり、(a)は第1レジスト膜の形成工程まで、(b)は第1レジスト膜の表層部の硬化処理工程までを示す。

【図3】図3は図2の続きの工程を示す断面図であり、(c)は第2レジスト膜の形成工程まで、(d)はリッジ形状形成のエッチング工程までを示す。

【図4】図4は第2実施形態に係る半導体レーザの断面図である。

【図5】図5は第2実施形態に係る半導体レーザの製造方法の製造工程を示す断面図であり、リッジ形状形成のエッチング工程までを示す。

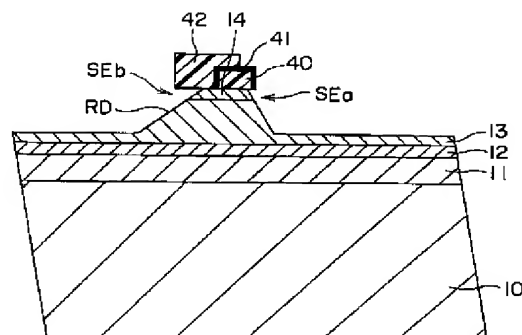
【図6】図6は従来例に係る半導体レーザの断面図である。

【図7】図7は従来例に係る半導体レーザの製造方法の製造工程を示す断面図であり、(a)はレジスト膜の形成工程まで、(b)はリッジ形状形成のエッチング工程までを示す。

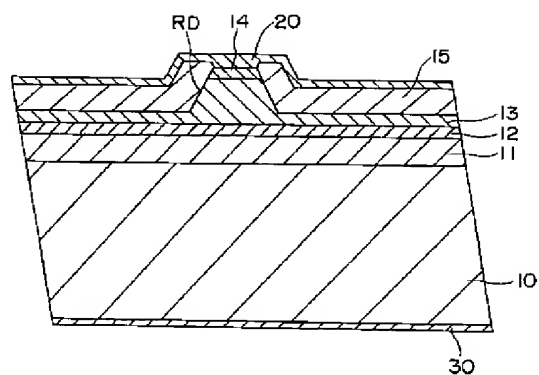
【符号の説明】

10…n型基板、11…n型クラッド層、12…活性層、13…p型クラッド層、14…p型キャップ層、15…n型電流ブロック層、20…p電極、30…n電極、40…(第1)レジスト膜、41…硬化された表層部、42…第2レジスト膜、RD…リッジ。

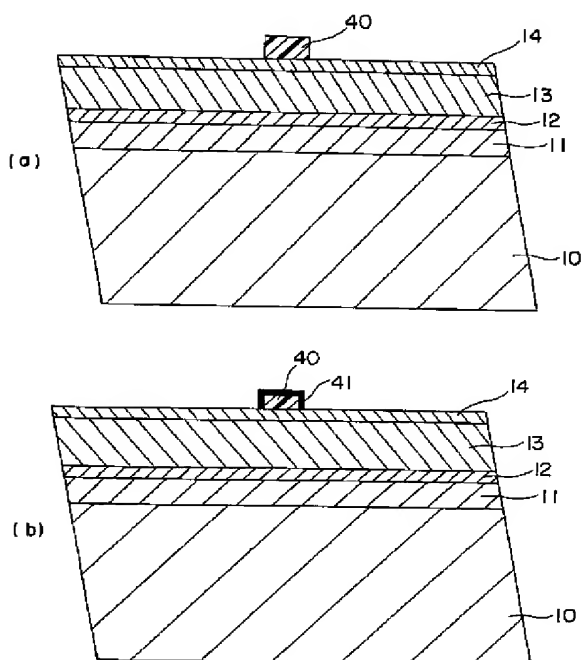
【図5】



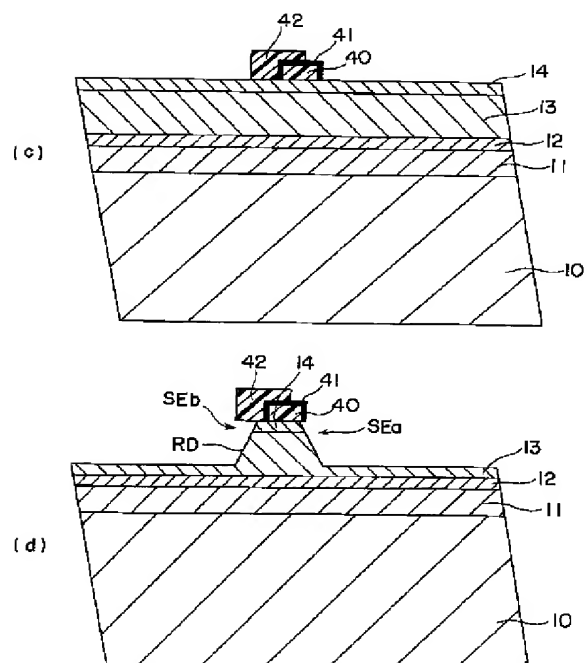
【図1】



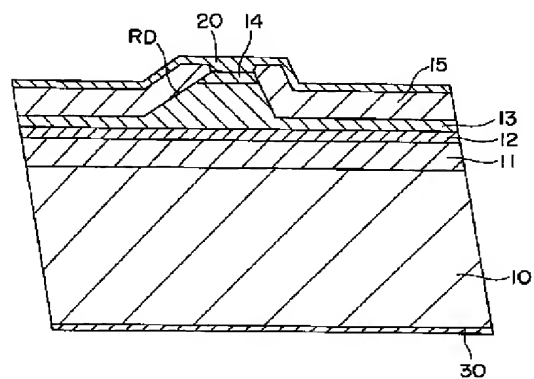
【図2】



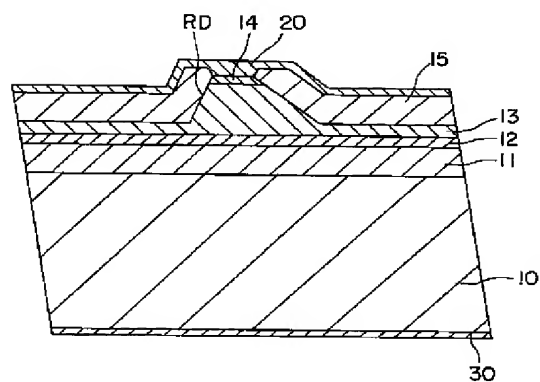
【図3】



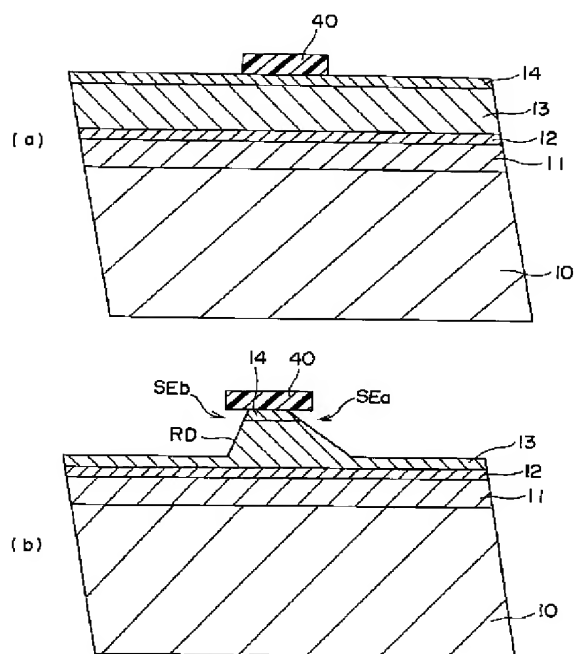
【図4】



【図6】



【図7】





**PAT- NO:** JP2002094182A  
**DOCUMENT- IDENTIFIER:** JP 2002094182 A  
**TITLE:** METHOD OF MANUFACTURING SEMI CONDUCTOR LASER  
**PUBN- DATE:** March 29, 2002

**INVENTOR- INFORMATION:**

NAME	COUNTRY
NAGASAKI , HIROKI	N/A

**ASSIGNEE- INFORMATION:**

NAME	COUNTRY
SONY CORP	N/A

**APPL- NO:** JP2000275565  
**APPL- DATE:** September 11, 2000

**INT- CL (IPC):** H01S005/223

**ABSTRACT:**

**PROBLEM TO BE SOLVED:** To provide a method of manufacturing semiconductor laser by which a semiconductor laser can be manufactured by controlling the shape of a ridge in such a way that the ridge is formed symmetrically to the center line and so on when an off substrate is used.

**SOLUTION:** In the method, a semiconductor laminate having at least an active layer 12 and first- and second-conductivity clad

layers 11 and 13, respectively, formed on and under the active layer 12 is formed on a substrate 10. Then a first mask layer 40 is formed on the laminate so as to protect part of a current injecting region, and a second mask layer 42 is formed to partially overlap the first mask layer 40 by changing the protective property of the layer 42 from that of the layer 40, in such a way that the layer 42 protects the remaining part of the current injecting region and the adhesion of the layer 42 to the underlying semiconductor laminate is changed from that of the layer 40 to the overlying laminated semiconductor, and so on. Thereafter, the current injecting region of the semiconductor laminate is formed in a ridge-like shape RD through etching by using the mask layers 40 and 42 as masks.

COPYRIGHT: (C)2002, JPO